



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-208896

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)8月30日

G 09 F 9/30
G 02 F 1/133
H 01 L 27/12
29/78

3 3 8
3 2 7
3 1 1

C-7335-5C
7370-2H
7514-5F
X-8422-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 薄膜トランジスタアレイ

⑮ 特 願 昭62-42265

⑯ 出 願 昭62(1987)2月25日

⑰ 発 明 者 増 田 清

東京都武蔵野市緑町3丁目9番11号 日本電信電話株式会社電子機構技術研究所内

⑰ 発 明 者 幸 田 成 人

東京都武蔵野市緑町3丁目9番11号 日本電信電話株式会社電子機構技術研究所内

⑰ 発 明 者 和 田 力

東京都武蔵野市緑町3丁目9番11号 日本電信電話株式会社電子機構技術研究所内

⑰ 発 明 者 角 田 信 彦

東京都武蔵野市緑町3丁目9番11号 日本電信電話株式会社電子機構技術研究所内

⑰ 出 願 人 日本電信電話株式会社

東京都千代田区内幸町1丁目1番6号

⑰ 代 理 人 弁理士 澤井 敬史

明 細 書

1. 発明の名称

薄膜トランジスタアレイ

2. 特許請求の範囲

マトリクス状に配置された表示画素の透明電極と、当該透明電極に接続されて各表示画素を駆動する薄膜トランジスタと、当該薄膜トランジスタを駆動すべく接続されたゲート配線及びソース配線とを具備して構成される薄膜トランジスタアレイにおいて、

上記薄膜トランジスタは絶縁性基板(1)上に、下部ゲート電極(2)、下部ゲート絶縁膜(3)チャネル形成用の半導体層(4)、ソース及びドレインとして動作すべく上記下部ゲート電極上方において分離開口部を有して対向する一対の不純物ドーパ半導体層(5)、上部ゲート絶縁膜(6)、上部ゲート電極(12)、が順に積層されて構成され、

かつ、上記下部及び上部電極(2、12)は透光性導体からなり、

かつ、上記下部ゲート電極(2)の延長部分たる下部ゲート配線(2')と上記上部ゲート電極(12)の延長部分たる上部ゲート配線(12')とは上記薄膜トランジスタ以外の部分において電気的に接続された部分を有することを特徴とする薄膜トランジスタアレイ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、液晶等を用いたアクティブマトリクス表示装置に用いられる薄膜トランジスタアレイの改良に関する。

(従来の技術)

近年、液晶、やエレクトロ、ルミネッセンス等の表示素子を用いたアクティブマトリクス型の面表示装置の開発が進められている。このような表示装置においては、大面積化が可能である、低圧である等の理由によりガラス基板上に表示素子及びこれを逐次的に駆動する複数のトランジスタが一体形成されるのが一般的でありアモルファス

RECEIVED

AUG 31 2004

TECH CENTER 2800

特開昭63-208896(2)

シリコンを用いた薄膜トランジスタを使用するのが主流となりつつある。なお、薄膜トランジスタは1表示画素ごとに設けられており、また、表示画素の透明電極と接続されているので、透明電極も含めてマトリクス状に配置された複数の薄膜トランジスタを薄膜トランジスタアレイと呼んでいる。第2図(a)(b)は、従来の第1の例でありアクティブマトリクス表示装置の薄膜トランジスタアレイの1表示画素の平面図、およびA-A'の断面図である。ここで1はガラス基板、2はゲート電極、3はゲート絶縁膜、4はアモルファスシリコン(以後 α -Siと記す)半導体層、5は n 型不純物ドーパ α -Si半導体層、6は層間絶縁膜、7は透明画素電極、8はソース電極、9は透明画素電極に接続されたドレイン電極である。そしてソース電極8、ドレイン電極9は、それぞれスルーホール10を介してソース及びドレインとして動作すべく下部ゲート電極上方において分離開口部を有して対向する一対の n 型不純物ドーパ α -Si半導体層5とオーミックコンタクト

をとった構造となっている。また平面図から明らかのようにソース電極8が延長したソース配線8'とゲート電極2が延長したゲート配線2'が直交しており、これらがマトリクスの選択線として機能する。なお、このような、従来の第1の例では、ゲート電極2の材料は、後に上層膜を形成する際の加熱工程を考慮して、比較的高抵抗であるが、耐熱性のあるNi、やNiCrが使用されていた。

第3図は、従来の第2の例であり、第1の例と同一部分には同一記号を附して説明を省略するが、最も異なる点はゲート電極2を最上部に配した点にある。このような従来の第2の例ではゲート電極2の膜厚を厚くできるので配線抵抗を小さくできるし、最後にゲート電極を形成するので、耐熱性は低いが高抵抗の材料であるAlを使用できる利点がある。

(解決すべき問題点)

しかしながら、このような従来の技術には以下の欠点があった。

第2図(a)(b)の、従来の第1の例では、ゲート電極2の材料として、NiやNiCrが使用されていたので抵抗が高く、画素表示装置の大型、大面積化に伴い配線長が長くなると配線抵抗にもとづく時定数によるゲート線遅延部での伝播遅延が大きくなり、高速度書き込みができなくなったり、誤った表示となる等の問題があった。また、この対策としてゲート電極2の膜厚を厚くして配線抵抗を減少させることが考えられるが、この場合には、段差が増大しゲート絶縁膜等の上層膜の段切れ欠陥を誘発し短絡不良や、リーク電流の増大を招く等の新たな問題が発生する。また、第3図の、従来の第2の例では、上述の問題は解決されるものの、 α -Si半導体層4を堆積後、一旦真空を破って外部に取り出しパターニングした後、再度真空容器内でゲート絶縁膜3を堆積する必要がある。薄膜トランジスタで最も重要なチャネル部近傍、即ち α -Si半導体層4とゲート絶縁膜3の境界面近傍に欠陥が生じ、素子特性を劣化させる問題があった。

更に、 α -Si半導体は光が照射されると導電率が著しく変化するが、従来の第1及び第2の例では何れも α -Si半導体層4の一方の面のみが、透光性のゲート電極2により透光されている。換言すれば他方の面は透光されておらず、 α -Si半導体層4中に形成されるチャネル部に光が到達してしまふ。このため、薄膜トランジスタの特性が外部からの光によって変化し、誤った表示をする問題があった。

(問題点を解決するための手段)

本発明は、かかる従来の問題点を解決することを目的とし、問題点解決の具体的手段として、薄膜トランジスタのゲート電極及びその延長したゲート配線をチャネルが形成される半導体層4を挟んで上方と下方に2層配した2層配線構造としたものである。さらに両配線材料には、ともに透光性導体を用い、さらに上記2層配線をトランジスタ以外の部分において電気的に接続したものである。

特開昭63-208896(3)

〔実施例〕

以下に実施例をともなう本発明の作用、効果を詳細に説明する。

第1図(a)は本発明の薄膜トランジスタアレイの1画素の平面図、第1図(b)は第1図(a)のA-A'断面図、同じく(c)はB-B'断面図、である。

1はガラス基板、2はNiCrの蒸着膜からなる下部ゲート電極、3はCVD法により形成した窒化Siからなる下部ゲート絶縁膜、4はアモルファスシリコンからなる半導体層、5はn型不純物(磷)をドーブしたアモルファスシリコンからなる一対の半導体層で、図示のごとくソース及びドレインとして動作すべく上下ゲート電極上方において分離開口部を有して対向している。

6は3と同じくCVD法により形成した窒化Siからなる上部ゲート絶縁膜、7はITO(In₂O₃・SnO₂)からなる表示画素の透明電極、8及び9はAl膜からなるソース、ドレイン電極、10はソース、ドレイン部の電極取り出し用

のスルーホール、11は下部ゲート電極(2)の延長部分たる下部ゲート配線(2')と上部ゲート電極(12)の延長部分たる上部ゲート配線(12')とを薄膜トランジスタ以外の部分において電気的に接続するためのスルーホール、12は上部ゲート電極である。ここで下部及び上部電極(2、12)は透光性導体であれば良く、上述の材料に限定されない。なお実施例では上部電極をソース、ドレイン電極と同じAl膜を用いているが別の材料からなる層を別工程で形成しても良い。ただし、同一材料を用いればフォトリソの使用枚数が少なくて済むので歩留りの向上が期待できる。

このように、薄膜トランジスタのゲート電極及びその延長したゲート配線をチャンネルが形成されるa-Si半導体層4を挟んで上方と下方に2本設けた2層配線構造としたので、配線抵抗を従来例に比べて極めて小さくできるので画像表示装置の大型、大面積化に伴い配線長が長くなっても配線抵抗にもとづく時定数によるゲート線遅延部での

伝播遅延が大きくなり、高速書き込みが可能で、誤表示が生じないという実用上極めて大なる効果を奏する利点がある。また2層配線をトランジスタ以外の部分において電気的に接続しているため、一方の配線が断線した場合でもトランジスタの駆動が可能であるので信頼性が向上できる利点がある。電気的接続部分の数を多く取ればそれだけ信頼性を更に向上できることは言うまでもない。

更にチャンネルが形成されるa-Si半導体層4はその両面が透光性導体により外光より保護されているので薄膜トランジスタの特性を極めて安定に保つことができる。

更に図示は省略するが、上下2層のデュアルゲート構造となっているので、チャンネルはa-Si半導体層4の表面と裏面の近傍に2本形成されるのでトランジスタの負荷(表示画素)駆動能力を増大できる利点がある。

〔発明の効果〕

以上説明したように本発明によれば薄膜トランジスタのゲート電極及びその延長したゲート配線をチャンネルが形成される半導体層を挟んで上方と下方に2本設けた2層配線構造とし、配線材料に透光性導体を用い、さらに上記2層配線をトランジスタ以外の部分において電気的に接続したものであるから、配線抵抗を低くでき大型表示装置の表示誤り等を防止できる。配線の一部に断線があっても救済できる。外部の光による誤動作を防止できる等の多大な効果が期待できる。

4. 図面の簡単な説明

第1図は本発明の薄膜トランジスタアレイの1画素の構造説明図で(a)は平面図、(b)はA-A'断面図、同じく(c)はB-B'断面図、である。

第2図は従来薄膜トランジスタアレイの1画素の構造説明図で(a)は平面図、(b)はA-A'断面図、である。

第3図は他の従来薄膜トランジスタアレイの1画素の構造説明図(断面図)である。

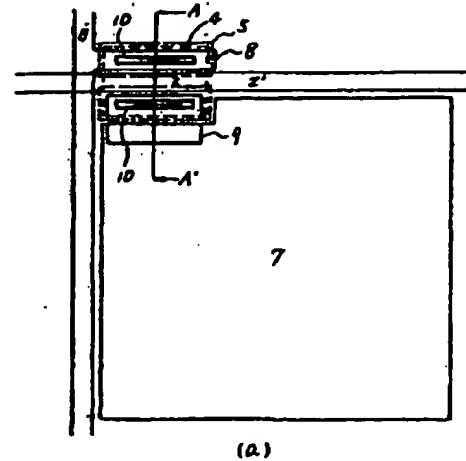
特開昭63-208896(4)

- 1... ガラス基板
- 2, 12... ゲート電極
- 2', 12'... ゲート配線
- 3, 6... 絶縁膜、
- 4... チャンネル形成用(アモルファスシリコン)
半導体層
- 5... ソース及びドレイン領域(□型不純物ド
ープアモルファスシリコン)半導体層)
- 7... 透明画素電極、
- 8, 9... ソース、ドレイン電極、
- 8'... ソース配線
- 10... ソース、ドレイン部の電極取り出し用
のスルーホール
- 11... ゲート配線を相互に接続するための
スルーホール

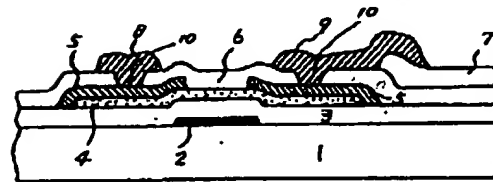
代理人

日本電信電話株式会社研究開発本部内

澤井 敬 史

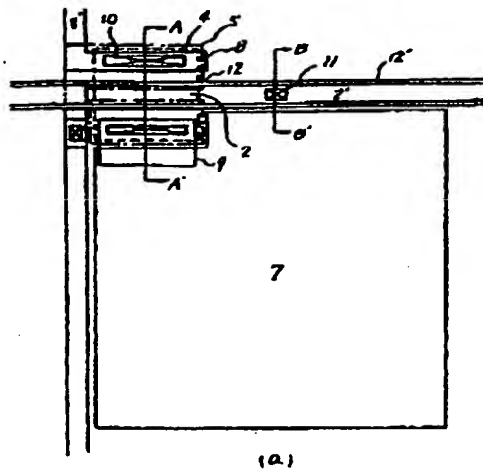


(a)

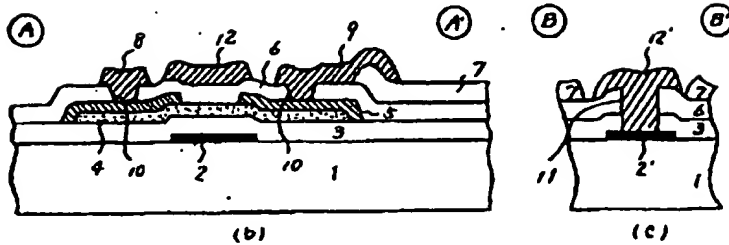


(b)

第2図



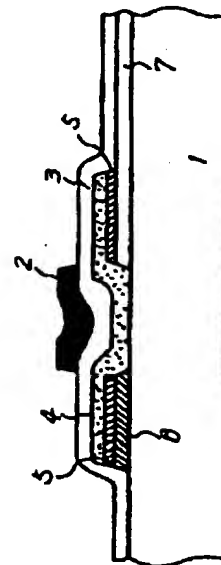
(a)



(b)

(c)

第1図



第3図



RECEIVED
AUG 31 2004
TECH CENTER 2800

- (19) Japanese Patent Office (JP),
(12) Publication of Laid-Open Patent Application (A),
(11) Publication Number of Patent Application: 63-208896,
(43) Date of Publication Application: August 30, 1988,
(51) Int. Cl.⁴ : G 09 F 9/30, G 02 F 1/133, H 01 L 27/12, 29/78,
Identification Mark: 338, 327, 311,
JPO File Number: C-7335-5C, 7370-2H, 7514-5F, X-8422-5F,
Request for Examination: Not requested
Number of Inventions: 1 (Total 4 pages)
(54) Title of the Invention:
Thin Film Transistor Array
(21) Application Number:
Japanese Patent Application No. 62-42265,
(22) Date of Filing: February 25, 1987,
(72) Inventor: Kiyoshi MASUDA
c/o NIPPON TELEGRAPH AND TELEPHONE CORPORATION
Electronic Mechanism Technology Laboratory
3-9-11 Midori-cho, Musashino-shi, Tokyo
(72) Inventor: Naruhito KODA
c/o NIPPON TELEGRAPH AND TELEPHONE CORPORATION
Electronic Mechanism Technology Laboratory
3-9-11 Midori-cho, Musashino-shi, Tokyo
(72) Inventor: Riki WADA
c/o NIPPON TELEGRAPH AND TELEPHONE CORPORATION
Electronic Mechanism Technology Laboratory
3-9-11 Midori-cho, Musashino-shi, Tokyo
(72) Inventor: Nobuhiko TSUNODA
c/o NIPPON TELEGRAPH AND TELEPHONE CORPORATION
Electronic Mechanism Technology Laboratory
3-9-11 Midori-cho, Musashino-shi, Tokyo
(71) Applicant: NIPPON TELEGRAPH AND TELEPHONE CORPORATION
1-1-6 Uchisaiwai-cho, Chiyoda-ku, Tokyo
(74) Representative: Patent Attorney Takashi SAWAI

Specification

1. Title of the Invention

Thin Film Transistor Array

2. Scope of Claim

A thin film transistor array comprising:

a transparent electrode of a display pixel, arranged in a matrix;

a thin film transistor connected to the transparent electrode so as to drive each display pixel; and

a gate wiring and a source wiring that are connected so as to drive the thin film transistor;

wherein the thin film transistor comprises an under gate electrode (2), an under gate insulating film (3), a semiconductor layer (4) for forming a channel, a pair of impurity-doped semiconductor layers (5) that face each other having a separation opening portion above the under gate electrode so as to operate as a source and a drain, an upper gate insulating film (6), an upper gate electrode (12), deposited sequentially on an insulating substrate (1);

the under and upper electrodes (2, 12) are made of a light shielding conductor; and

an under gate wiring (2') which is an extended portion of the under gate electrode (2) and an upper gate wiring (12') which is an extended portion of the upper gate electrode (12) have a portion electrically connected, in the other part than the thin film transistor.

3. Detailed Description of the Invention

[Field of Industrial Application]

The present invention relates to an improvement in a thin film transistor array used for an active matrix display device using liquid crystal or the like.

[Prior Art]

Recently, development of an image display device of an active matrix type using a display element such as liquid crystal and electro luminescence has been advanced. As for such a display device, enlargement of the area is possible. It is usual that a display element and a plurality of transistors to selectively drive the display element are formed integrated on a glass substrate because it is inexpensive, or for the other reasons. And it is becoming a main stream to use a thin film transistor using amorphous silicon. A thin film transistor is provided for each one display pixel, and connected to a transparent electrode of the display pixel, so that a plurality of thin film transistors arranged in a matrix, including the transparent electrode, are called a thin film transistor array. Fig. 2 (a) and (b) are the first conventional examples, a plain view of a display pixel of a thin film transistor array of an active matrix display device

and a sectional view of A-A'. Here, reference number 1 is a glass substrate, 2 is a gate electrode, 3 is a gate insulating film, 4 is an amorphous silicon (hereinafter referred to as a-Si) semiconductor layer, 5 is an n-type impurity-doped a-Si semiconductor layer, 6 is an interlayer insulating film, 7 is a transparent pixel electrode, 8 is a source electrode, and 9 is a drain electrode connected to the transparent pixel electrode. The source electrode 8 and the drain electrode 9 have ohmic contacts with a pair of n-type impurity-doped a-Si semiconductor layers 5 that face each other having a separation opening portion above the under gate electrode so as to operate as a source and a drain through through-holes 10 respectively. In addition, as is clear from the plain view, a source wiring 8' that is an extension of the source electrode 8 and a gate wiring 2' that is an extension of the gate electrode 2 cross at right angles to each other, and they function as selection lines of the matrix. In the first conventional example as this, Ni and NiCr which have relatively high resistivity but resist heat are used as a material for the gate electrode 2, considering a heating process at the time when an upper layer film is formed later.

Fig. 3 is the second conventional example. The same portions as the first example are indicated by the same reference numbers and the description is omitted, but the point that is different from the first example the most is that the gate electrode 2 is placed on the top. The second conventional example as this has effects that the film thickness of the gate electrode 2 can be thickened so the wiring resistance can be reduced, and Al which is a material with low resistance although whose heat resistance is low can be used because the gate electrode is formed at the last.

[Problems to be Solved]

However, the conventional technology as above has weak points as follows.

In the first conventional example in Fig. 2 (a) and (b), since Ni and NiCr are used as the material of the gate electrode 2, the resistance is high, and propagation delay at the far end portion of the gate line due to time constant based on the wiring resistance increases when the wiring length increases as the image display device becomes larger and its area increases. Therefore, there are problems that high speed writing becomes impossible, an erroneous display is shown, or the like. In addition, as a measure against it, although it can be considered that the film thickness of the gate electrode 2 is thickened so as to decrease the wiring resistance, in this case, there arises a new problem that the difference in level increases, inducing a step decay defect of the upper layer film of the gate insulating film or the like, which leads to a short circuit defect, an increase in leakage current and the like.

Furthermore, in the second conventional example in Fig. 3, although the

above-described problems are solved, after the a-Si semiconductor layer 4 is deposited, it is taken out to the outside, breaking a vacuum once, and a patterning is performed, and then the gate insulating film 3 is deposited in a vacuum vessel again. Therefore, there is a problem that a defect arises around the channel portion which is the most important part in a thin film transistor, that is, around a boundary surface between the a-Si semiconductor layer 4 and the gate insulating film 3, which deteriorates the element characteristics.

In addition, the electric conductivity of a-Si semiconductor changes significantly when irradiated with light, and in the both cases of the first and second conventional examples, only one surface of the a-Si semiconductor layer 4 is blocked from light, due to the light shielding gate electrode 2. In other words, the other surface is not blocked from light, and light can reach the channel portion formed in the a-Si semiconductor layer 4. Therefore, there is a problem that the characteristics of the thin film transistor are changed due to light from the outside, which leads to an erroneous display.

[Means for Solving the Problem]

The object of the present invention is to solve such conventional problems. As a means for solving the problems, a gate electrode and a gate wiring which is the extension of the gate electrode of a thin film transistor are placed as two lines in the upper side and the under side, sandwiching a semiconductor layer 4 where a channel is formed, to make a two-layer wirings structure. In addition, a light shielding conductor is used as a material for the both wirings, and the above-mentioned two-layer wirings are electrically connected in the other part than the transistor.

[Embodiment]

The operation and effects of the present invention will be described in detail hereinafter, along with an embodiment.

Fig. 1 (a) is a plain view of a pixel of a thin film transistor array of the present invention, Fig. 1 (b) is a sectional view of A-A' in Fig. 1 (a), and (c) is a sectional view of B-B'.

Reference number 1 is a glass substrate, 2 is an under gate electrode made of a deposited film of NiCr, 3 is an under gate insulating film made of silicon nitride formed by CVD, and 4 is a semiconductor layer made of amorphous silicon. Reference number 5 is a pair of semiconductor layers made of amorphous silicon doped with an n-type impurity (phosphorus), and as shown in the figure, they face each other having a separation opening portion above the under gate electrode so as to operate as a source and a drain.

Reference number 6 is an upper gate insulating film made of silicon nitride formed by CVD, as is the case with 3, 7 is a transparent electrode of a display pixel, made of ITO (In. Tin. Oxide), 8 and 9 are source and drain electrodes made of an Al film, 10 is a through-hole to take electrodes of source and drain portions, 11 is a through-hole to electrically connect an under gate wiring (2') which is an extended portion of the under gate electrode (2) and an upper gate wiring (12') which is an extended portion of an upper gate electrode (12), and 12 is the upper gate electrode. Here, the under and upper electrodes (2, 12) need only be light shielding conductors, and they are not limited to the above-described material. An Al film is used for the upper electrode, same as the source and drain electrodes, in the embodiment, but a layer made of a different material may be formed in another process. However, when the same material is used, the number of photo masks used is smaller, so that an improvement in yield can be expected.

In this way, since a gate electrode and a gate wiring which is the extension of the gate electrode of a thin film transistor are placed as two lines in the upper side and the under side, sandwiching an a-Si semiconductor layer 4 where a channel is formed, to make a two-layer wirings structure, the wiring resistance can be extremely small, compared to the conventional case. Therefore, there are extremely good practical effects such as: propagation delay at the far end portion of the gate line due to time constant based on the wiring resistance doesn't increase even when the wiring length increases as the image display device becomes larger and its area increases; high speed writing is possible; and an erroneous display doesn't occur. In addition, since the two-layer wirings are electrically connected in the other part than the transistor, a drive of the transistor is possible even when one of the wirings is broken, thus, there is an advantage that the reliability can be improved. It goes without saying that the more electrically-connected portions are made, the further the reliability can be improved.

In addition, since the both surfaces of the a-Si semiconductor layer 4 where a channel is formed are protected from outside light by a light shielding conductor, the characteristics of the thin film transistor can be maintained extremely stably.

In addition, although the figure is omitted, a dual gate structure with upper and under two layers is made, so that two channels are formed around the adverse face and the reverse face of the a-Si semiconductor layer 4. Thus, there is an advantage that the load (display pixel) drive ability of the transistor can be increased.

[Effects of the Invention]

As described above, according to the present invention, a gate electrode and a gate wiring which is the extension of the gate electrode of a thin film transistor are

placed as two lines in the upper side and the under side, sandwiching a semiconductor layer where a channel is formed, to make a two-layer wirings structure, and a light shielding conductor is used as a wiring material. In addition, the two-layer wirings are electrically connected in the other part than the transistor. Therefore, many effects such as: the wiring resistance can be reduced and a display error or the like of a large display device can be prevented; even when a portion of the wiring is broken, it can be helped; an erroneous operation due to outside light can be prevented; or the like can be expected.

4. Brief Description of the Drawings

Fig. 1 is a structure schematic diagram of a pixel of a thin film transistor array of the present invention, and (a) is a plain view, (b) is a sectional view of A-A', and (c) is a sectional view of B-B'.

Fig. 2 is a structure schematic diagram of a pixel of a conventional thin film transistor array, and (a) is a plain view, (b) is a sectional view of A-A'.

Fig. 3 is a structure schematic diagram (a sectional view) of a pixel of another conventional thin film transistor array.

- 1: glass substrate
- 2, 12: gate electrode
- 2', 12': gate wiring
- 3, 6: insulating film
- 4: (amorphous silicon) semiconductor layer for forming a channel
- 5: source and drain region (n-type impurity-doped amorphous silicon) semiconductor layer)
- 7: transparent pixel electrode
- 8, 9: source and drain electrodes
- 8': source wiring
- 10: through-hole for taking electrodes of source and drain portions
- 11: through-hole for connecting gate wirings mutually

Representative

c/o NIPPON TELEGRAPH AND TELEPHONE CORPORATION Research and Development Head Office
Takashi Sawai